

NON-VOLATILE SEMICONDUCTOR MEMORY DEVICE AND DATA WRITE METHOD THEREOF

Patent number: JP2000040382
Publication date: 2000-02-08
Inventor: NOBUKATA HIROMI
Applicant: SONY CORP
Classification:
 - international: G11C16/02
 - european:
Application number: JP19980208268 19980723
Priority number(s):

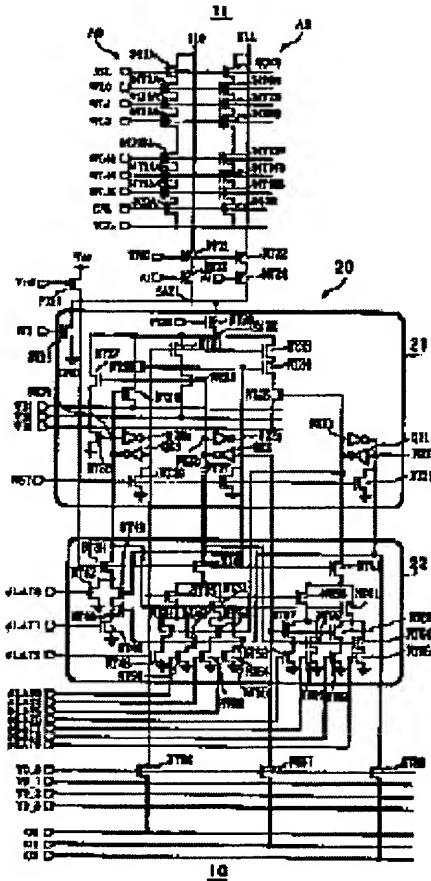
Also published as:

US6266270 (B1)

Abstract of JP2000040382

PROBLEM TO BE SOLVED: To provide a non-volatile semiconductor memory device which can shorten the write time and the verify time and can deal with octal level, and the data write method thereof.

SOLUTION: After voltage of all bit lines is charged up to the power source voltage Vcc through PMOS transistor PT21 prior to write, bit lines are connected to supply sources of voltage in accordance with latch data of latch circuits Q23, Q22, Q21, and also write is performed in parallel. Thereby, the write time can be shortened, and verifying read and normal read can be performed at high speed.



Data supplied from the **esp@cenet** database - Patent Abstracts of Japan

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-40382

(P2000-40382A)

(43)公開日 平成12年2月8日(2000.2.8)

(51)Int.Cl.⁷
G 1 1 C 16/02

識別記号

F I
G 1 1 C 17/00

テマコト(参考)
6 4 1 5 B 0 2 5
6 0 1 T
6 1 1 A

審査請求 未請求 請求項の数11 OL (全 18 頁)

(21)出願番号

特願平10-208268

(22)出願日

平成10年7月23日(1998.7.23)

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 信方 浩美

東京都品川区北品川6丁目7番35号 ソニ
一株式会社内

(74)代理人 100094053

弁理士 佐藤 隆久

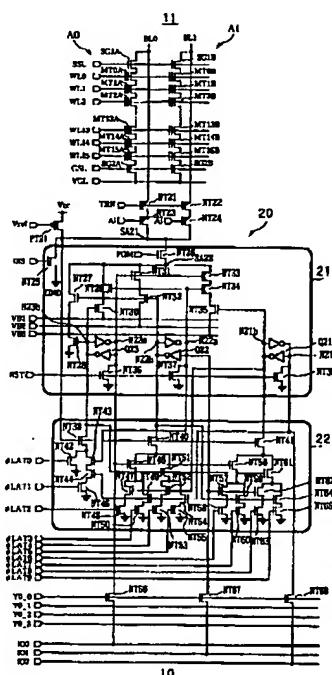
Fターム(参考) 5B025 AA01 AC03 AD02 AD04 AD11
AE00 AE05

(54)【発明の名称】 不揮発性半導体記憶装置およびそのデータ書き込み方法

(57)【要約】

【課題】書き込み、ペリファイ時間を短縮できる8値対応の不揮発性半導体記憶装置およびそのデータ書き込み方法を提供する。

【解決手段】書き込み前に全ピット線電圧をPMOSトランジスタPT21を通して電源電圧V_{cc}に充電した後、ピット線をラッチ回路Q23, Q22, Q21のラッチデータに応じた電圧の供給源に接続させ、かつ並列的に書き込みを行う。これにより書き込み時間を短縮でき、また、ペリファイ読み出しおよび通常読み出しを高速に行うことができる。



をとるデータを記録する場合の、しきい値電圧V_{th}レベルとデータ内容との関係を示す図である。

【0004】図6において、縦軸はメモリトランジスタのしきい値電圧V_{th}を、横軸はメモリトランジスタの分布頻度をそれぞれ表している。また、1個のメモリトランジスタに記録するデータを構成する2ビットデータの内容は、[I_{O_{n+1}}, I_{O_n}]で表され、[I_{O_{n+1}}, I_{O_n}] = [1, 1], [1, 0], [0, 1], [0, 0]の4状態が存在する。すなわち、データ「0」、データ「1」、データ「2」、データ「3」の4状態が存在する。

【0005】そして、多値データの書き込みをページ単位（ワード線単位）で行うNAND型フラッシュメモリが提案されている（たとえば、文献；1996 IEEE International Solid-State Circuits Conference、ISSCC96/SESSION 2/FLASH MEMORY/PAPER TP 2.1:A 3.3V 128Mb Muli-Level NAND Flash Memory For Mass Storage Application.pp32-33、参照）。

【0006】図7は、上記文献に開示されたページ単位で書き込みを行うNAND型フラッシュメモリの要部構成を示す回路図である。図7において、1はメモリセルアレイ、2は書き込み/読み出制御回路、BL2, BL1はビット線をそれぞれ示している。

【0007】メモリセルアレイ1は、それぞれメモリセルが共通のワード線WL0～WL15に接続されたメモリストリングA0, A1により構成されている。そして、メモリストリングA0はビット線BL1に接続され、メモリストリングA1はビット線BL2に接続されている。メモリストリングA0は、フローティングゲートを有する不揮発性半導体記憶装置からなるメモリセルトランジスタMT0A～MT15Aが直列に接続されたNAND列を有しており、このNAND列のメモリセルトランジスタMT0Aのドレインが選択ゲートSG1Aを介してビット線BL1に接続され、メモリセルトランジスタMT15Aのソースが選択ゲートSG2Aを介して基準電位線VGLに接続されている。メモリストリングA1は、フローティングゲートを有する不揮発性半導体記憶装置からなるメモリセルトランジスタMT0B～MT15Bが直列に接続されたNAND列を有しており、このNAND列のメモリセルトランジスタMT0Bのドレインが選択ゲートSG1Bを介してビット線BL2に接続され、メモリセルトランジスタMT15Bのソースが選択ゲートSG2Bを介して基準電位線VGLに接続されている。

【0008】そして、選択ゲートSG1A, SG1Bのゲートが選択信号供給線SSLに共通に接続され、選択ゲートSG2A, SG2Bのゲートが選択信号供給線GSLに共通に接続されている。

【0009】書き込み/読み出制御回路2は、nチャネルMO (NMOS) トランジスタNT1～NT17, pチャ

ネルMOS (PMOS) トランジスタPT1、およびインバータの入出力同士を結合してなるラッチ回路Q1, Q2により構成されている。

【0010】NMOSトランジスタNT1は電源電圧V_{cc}の供給ラインとビット線BL1との間に接続され、ゲートが禁止信号IHB1の供給ラインに接続されている。NMOSトランジスタNT2は電源電圧V_{cc}の供給ラインとビット線BL2との間に接続され、ゲートが禁止信号IHB2の供給ラインに接続されている。NMOSトランジスタNT3およびNMOSトランジスタNT1の接続点とメモリストリングA0およびビット線BL1との接続点との間にデブレッシュョン型のNMOSトランジスタNT18が接続され、NMOSトランジスタNT4およびNMOSトランジスタNT2の接続点とメモリストリングA1およびビット線BL2との接続点との間にデブレッシュョン型のNMOSトランジスタNT19が接続されている。そして、NMOSトランジスタNT18, 19のゲートはデカップル信号供給線DCP Lに接続されている。

【0011】デブレッシュョン型のNMOSトランジスタNT18およびNMOSトランジスタNT1の接続点とバスラインIOiとの間にNMOSトランジスタNT3, NT5, NT16が直列に接続され、デブレッシュョン型のNMOSトランジスタNT19およびNMOSトランジスタNT2の接続点とバスラインIOi+1との間にNMOSトランジスタNT4, NT7, NT17が直列に接続されている。また、NMOSトランジスタNT3とNT5の接続点、NMOSトランジスタNT4とNT7の接続点がNMOSトランジスタNT6を介して接地されるとともに、PMOSトランジスタPT1のドライン、並びにNMOSトランジスタNT8, NT13のゲートに接続されている。そして、NMOSトランジスタNT6のゲートがリセット信号RSTの供給ラインに接続され、PMOSトランジスタPT1のソースが電源電圧V_{cc}の供給ラインに接続され、PMOSトランジスタPT1のゲートが信号V_{ref}の供給ラインに接続されている。

【0012】ラッチ回路Q1の第1の記憶ノードN1aがNMOSトランジスタNT5とNT16との接続点に接続され、第2の記憶ノードN1bが直列に接続されたNMOSトランジスタNT8～NT10を介して接地されている。ラッチ回路Q2の第1の記憶ノードN2aがNMOSトランジスタNT7とNT17との接続点に接続され、第2の記憶ノードN2bが直列に接続されたNMOSトランジスタNT13～NT15を介して接地されている。また、NMOSトランジスタNT8とNT9の接続点が直列に接続されたNMOSトランジスタNT11, NT12を介して接地されている。NMOSトランジスタNT9のゲートはラッチ回路Q2の第1の記憶ノードN2aに接続され、NMOSトランジスタNT1

0のゲートはラッチ信号 ϕ LAT2の供給ラインに接続され、NMOSトランジスタNT11のゲートが第2の記憶ノードN2bに接続され、NMOSトランジスタNT12のゲートがラッチ信号 ϕ LAT1の供給ラインに接続され、NMOSトランジスタNT14, NT15のゲートがラッチ信号 ϕ LAT3の供給ラインに接続されている。そして、カラムゲートとしてのNMOSトランジスタNT16のゲートが信号 Y_i の供給ラインに接続され、NMOSトランジスタNT17のゲートが信号 Y_{i+1} の供給ラインに接続されている。

【0013】また、図8(a)は読み出し時のタイミングチャートを示し、図8(b)は書き込み(プログラム)時のタイミングチャートを示している。図8(b)からわかるように、4値の書き込みは3ステップで行い、本来は各ステップでページ単位に書き込みを行うすべてのセルが書き込み十分と判断された段階で次のステップに移行する。

【0014】読み出し動作について説明する。まず、リセット信号RSTと信号PGM1, 2がハイレベルに設定される。これにより、ラッチ回路Q1, Q2の第1の記憶ノードN1a, N2aが接地レベルに引き込まれる。その結果、ラッチ回路Q1, Q2がクリアされる。次に、ワード線電圧を2.4Vとして読み出しが行われる。しきい値電圧 V_{th} がワード線電圧(2.4V)より高ければセル電流が流れないことによりビット線電圧はプリチャージ電圧を保持し、ハイがセンスされる。一方、しきい値電圧 V_{th} がワード線電圧(2.4V)より低ければセル電流が流れることによりビット線電圧は降下し、ローがセンスされる。次に、ワード線電圧1.2Vで読み出しが行われ、最後にワード線電圧0Vで読み出しが行われる。

【0015】具体的にはセルデータが“00”的場合、全てのワード線で電流が流れないためバス I_O_{i+1} , I_O_i には(1, 1)が出力される。まず、ワード線電圧を2.4Vにして読みととき、制御信号 ϕ LAT1がハイレベルに設定される。このとき、セル電流が流れないことによりビット線はハイレベルに保たれるためNMOSトランジスタNT8が導通状態に保たれ、ラッチ回路Q2がクリアされていることによりラッチ回路Q2の第2の記憶ノードN2bはハイレベルに保たれるためNMOSトランジスタNT11が導通状態に保たれる。したがって、NMOSトランジスタNT8, NT11, NT12が導通状態に保持され、ラッチ回路Q1の第2の記憶ノードN1bが接地レベルに引き込まれ、ラッチ回路Q1の第1の記憶ノードN1aはハイレベルに遷移する。次にワード線電圧を1.2Vにして読みととき、制御信号 ϕ LAT3をハイレベルに設定する。この時、セル電流が流れないことによりビット線はハイレベルに保たれるためNMOSトランジスタNT13が導通状態に保たれ、ラッチ回路Q2の第2の記憶ノードN2bが接地

レベルに引き込まれ、ラッチ回路Q2の第1の記憶ノードN2aはハイレベルに遷移する。最後にワード線電圧を0Vにして読みととき、制御信号 ϕ LAT1をハイレベルに設定する。この時、セル電流が流れないことによりビット線はハイレベルに保たれるためNMOSトランジスタNT8が導通状態に保たれるが、ラッチ回路Q2の第2の記憶ノードN2bがローレベルのためNMOSトランジスタNT11が非導通状態となり、ラッチ回路Q1の第1の記憶ノードN1aはハイレベルを保持する。

【0016】セルデータが“01”的場合、ワード線電圧 V_{WL00} の場合のみ電流が流れ、バス I_O_{i+1} , I_O_i には(1, 0)が出力される。まず、ワード線電圧を2.4Vにして読みととき、制御信号 ϕ LAT1がハイレベルに設定される。このとき、セル電流が流れることによりビット線はローレベルとなるためNMOSトランジスタNT8が非導通状態に保たれ、ラッチ回路Q1の第1の記憶ノードN1aはローレベルを保持する。次にワード線電圧を1.2Vにして読みととき、制御信号 ϕ LAT3をハイレベルに設定する。この時、セル電流が流れることによりビット線はハイレベルに保たれるためNMOSトランジスタNT13が導通状態に保たれ、ラッチ回路Q2の第2の記憶ノードN2bが接地レベルに引き込まれ、ラッチ回路Q2の第1の記憶ノードN2aはハイレベルに遷移する。最後にワード線電圧を0Vにして読みととき、制御信号 ϕ LAT1をハイレベルに設定する。この時、セル電流が流れないことによりビット線はハイレベルに保たれるためNMOSトランジスタNT8が導通状態に保たれるが、ラッチ回路Q2の第2の記憶ノードN2bがローレベルのためNMOSトランジスタNT11が非導通状態となり、ラッチ回路Q1の第1の記憶ノードN1aはローレベルを保持する。セルデータが“10”、“11”的場合も同様にして各々 I_O_{i+1} , I_O_i には(0, 1), (0, 0)が読み出される。

【0017】次に、書き込み動作について説明する。図7の回路においては、まず、ラッチ回路Q1に格納されているデータによって書き込みが行われ、次にラッチ回路Q2、最後に再びラッチ回路Q1のデータによって書き込みが行われる。ここで書き込みデータが(Q2, Q1) = (1, 0)の場合はラッチ回路Q1は書き込み十分となると“0”から“1”に反転するが、(Q2, Q1) = (0, 0)の場合はラッチ回路Q1は3ステップ目の書き込みデータとしても使用する必要があるため第1ステップで書き込み十分となつても“0”から“1”に反転しない(できない)。

【0018】各ステップでの書き込み終了判定は、注目する側のラッチデータ(Q2またはQ1)が全て“1”となった段階でそのステップの書き込み終了と判定する。書き込みデータ(Q2, Q1) = (0, 0)のセル

は、第1ステップでのラッチ回路Q1の反転は起こらないからワイヤードORによる終了判定は行われない。

【0019】

【発明が解決しようとする課題】ところで、上述した回路では、図9に示すように、まずラッチ回路Q1のデータに応じて書込データが“10”、“00”的セルの書き込み(Step1)を行った後、ラッチ回路Q2のデータに応じて書込データが“01”、“00”的セルの書込(Step2)を行い、最後に書込データが“00”的セルの書き込み(Step3)を行う。すなわち、上述した従来回路では、書込データが“10”および“01”的書込はStep1およびStep2でしかなされていないため、“10”、“01”的書き込み時間はそのままStep1およびStep2の書込時間に相当する。そして、書込データが“00”的セルはStep1～Step3の全てのStepで行われているが、Step2とStep3の間で過剰書込に備えてISP電圧を下げてからStep3の書込を行っている。

【0020】このことから書込データが“00”的セルの書き込み時間はStep3の書き込み時間とほぼ同じと推定される。このことより書き込みはシリアルに行われ、このことが4値の書込時間が長くなる一因となっている。そして、図9からわかるように、データ“10”と“01”的書き込み時間の和とデータ“00”的書き込み時間はほぼ同じ時間がかかっている。

【0021】また、書き込みはセルフーブーストを用いて行っているが、ビット線に充電する書き込み禁止電圧は信号PGM1、PGM2が供給されるNMOSトランジスタによってしきい値電圧Vth落ちしVcc-Vth(B)(Vth(B):バックバイアス効果の影響を受けたVth)となっている。この状態でセルフーブーストを可能にするためには、メモリセルのドレイン側の選択ゲートを高く設定する必要があり、これは読み出し動作の高速化を実現する場合には妨げとなる。さらに、書き込み前のビット線充電をラッチで行っているが、ラッチからみればビット線は電圧0Vの巨大なキャパシタであり、ラッチデータが“1”的場合ビット線と接触した瞬間にラッチデータが反転してしまう可能性がある。これを回避するために書き込みデータに応じてビット線を充電する際に、NMOSトランジスタNT5、NT7のゲート電圧を低く設定して充電している。このため、充電電流が小さくなり、ビット線充電に時間がかかっていた。そして、ペリファイ読み出しに時間がかかっている。

【0022】以上の問題は、多値レベルがさらに高く、たとえば図10に示すように、しきい値電圧の分布が分布0～分布7の8個に区分けされる8値の場合にはさらに深刻となる。近年の高集積化に対応するには、多値レベルがさらに高くしていくことが考えられることから、

8値等でも書き込みおよびペリファイの高速化を実現する必要がある。

【0023】本発明は、かかる事情に鑑みてなされたものであり、その目的は、書き込み、およびペリファイ読み出し時間を短縮できる不揮発性半導体記憶装置およびそのデータ書き込み方法を提供することにある。

【0024】

【課題を解決するための手段】上記目的を達成するため、本発明は、ワード線およびビット線への印加電圧に応じて電荷蓄積部に蓄積された電荷量が変化し、その変化に応じてしきい値電圧が変化し、しきい値電圧に応じた値のデータを記憶するメモリセルを有し、3ビットの8値データをページ単位でメモリセルに書き込む不揮発性半導体記憶装置であって、書き込み前に全ビット線を所定の電圧にプリチャージするプリチャージ手段と、書き込みデータがラッチされるラッチ回路を有し、アドレスに応じて選択されたビット線をラッチデータに応じた電圧に設定し、書き込みを並列に行う書き込み制御回路とを有する。

【0025】また、本発明は、ワード線およびビット線への印加電圧に応じて電荷蓄積部に蓄積された電荷量が変化し、その変化に応じてしきい値電圧が変化し、しきい値電圧に応じた値のデータを記憶するメモリセルが複数個接続され、その一端および他端がゲート電圧に応じて導通状態が制御される選択トランジスタを介してビット線およびソース線に接続されたメモリストリングがマトリクス状に配置され、同一行のメモリセルの制御ゲートが共通のワード線に接続され、セルフーブーストを用いて3ビットの8値データをページ単位でメモリセルに書き込む不揮発性半導体記憶装置であって、書き込み前に全ビット線を所定の電圧にプリチャージするプリチャージ手段と、書き込みデータがラッチされるラッチ回路を有し、アドレスに応じて選択されたビット線をラッチデータに応じた電圧に設定し、書き込みを並列に行う書き込み制御回路とを有する。

【0026】また、本発明では、上記書き込み制御回路は、ビット線毎に対応して3ビット分の上記ラッチ回路が設けられている。

【0027】また、本発明では、上記ラッチ回路はラッチデータレベルを保持する第1の記憶ノードとその反転レベルを保持する第2の記憶ノードとを有し、上記ラッチ回路の第2の記憶ノードのレベルが所定のレベルのとき上記選択ビット線をビット線用設定電圧の供給源に接続する手段を有する。

【0028】また、本発明では、上記書き込み動作時に各書き込みビット毎に書き込み十分であるか否かの判定を、ワード線電圧を高いレベルから低いレベルに順次下げて行うペリファイ読み出し回路を有する。

【0029】また、本発明は、ワード線およびビット線への印加電圧に応じて電荷蓄積部に蓄積された電荷量が

変化し、その変化に応じてしきい値電圧が変化し、しきい値電圧に応じた値のデータを記憶するメモリセルを有し、3ビットの8値データをページ単位でメモリセルに書き込む不揮発性半導体記憶装置であって、書き込み前に全ビット線を所定の電圧にブリッジ充電し、書き込み時に、アドレスに応じて選択されたビット線をラッチデータに応じた電圧に設定し、書き込みを並列に行う。

【0030】本発明によれば、3ビットの8値データをページ単位でメモリセルに書き込む不揮発性半導体記憶装置において、書き込み前に全ビット線が所定の電圧、たとえば電源電圧にブリッジ充電された後、アドレスに応じて選択されたビット線がラッチデータに応じた電圧に設定され、書き込みが並列的に行われる。

【0031】

【発明の実施の形態】図1は、本発明に係る不揮発性半導体記憶装置の一実施形態を示す回路図である。この不揮発性半導体記憶装置10は記憶多値レベルが8値に対応したものであり、メモリアレイ11、および書き／ベリファイ／読み出制御回路20により構成されている。

【0032】メモリアレイ11は、図1に示すように、それぞれメモリセルが共通のワード線WL0～WL15に接続されたメモリストリングA0、A1により構成されている。そして、メモリストリングA0はビット線BL0に接続され、メモリストリングA1はビット線BL1に接続されている。メモリストリングA0は、フローティングゲートを有する不揮発性半導体記憶装置からなるメモリセルトランジスタMT0A～MT15Aが直列に接続されたNANDストリングからなり、このNANDストリングのメモリセルトランジスタMT0Aのドレンが選択ゲートSG1Aを介してビット線BL0に接続され、メモリセルトランジスタMT15Aのソースが選択ゲートSG2Aを介して基準電位線VGLに接続されている。メモリストリングA1は、フローティングゲートを有する不揮発性半導体記憶装置からなるメモリセルトランジスタMT0B～MT15Bが直列に接続されたNANDストリングからなり、このNANDストリングのメモリセルトランジスタMT0Bのドレンが選択ゲートSG1Bを介してビット線BL1に接続され、メモリセルトランジスタMT15Bのソースが選択ゲートSG2Bを介して基準電位線VGLに接続されている。

【0033】そして、選択ゲートSG1A、SG1Bのゲートが選択信号供給線SSLに共通に接続され、選択ゲートSG2A、SG2Bのゲートが選択信号供給線GSLに共通に接続されている。

【0034】書き／ベリファイ／読み出制御回路20は、NMOSトランジスタNT21～NT68、PMOSトランジスタPT21、およびインバータの入出力同士を結合してなるラッチ回路Q21、Q22、Q23により構成されている。そして、NMOSトランジスタNT25～NT38およびラッチ回路Q21、Q22、Q23

により書き込み時のビット線電圧発生回路21が構成され、NMOSトランジスタNT39～NT65により読み出し／ベリファイ制御回路22が構成されている。

【0035】ノードSA21とビット線BL0との間に、高耐圧のNMOSトランジスタNT21およびNT23が直列に接続され、ノードSA21とビット線BL1との間に、高耐圧のNMOSトランジスタNT22およびNT24が直列に接続されている。そして、NMOSトランジスタNT23のゲート電極にアドレスデコード信号Aiが供給され、NMOSトランジスタNT24のゲート電極に信号/Ai（/は反転を示す）が供給される。また、NMOSトランジスタNT21、NT22のゲート電極に信号TRNが供給される。

【0036】ノードSA21と接地ラインGNDとの間にNMOSトランジスタNT25が接続され、ノードSA21と電源電圧Vccの供給ラインとの間にPMOSトランジスタPT21が接続されている。NMOSトランジスタNT25のゲート電極に信号DISが供給され、PMOSトランジスタPT21のゲート電極に信号Vrefが供給される。

【0037】また、ノードSA21と接地ラインとの間にNMOSトランジスタNT26、NT27、NT28が直列に接続されている。また、NMOSトランジスタNT26とNT27との接続点（ノードSA22）と書き込み時のビット線電圧VB1の供給ラインとの間にNMOSトランジスタNT29、NT30が直列に接続されている。また、ノードSA22と書き込み時のビット線電圧VB2の供給ラインとの間にNMOSトランジスタNT31、NT32が直列に接続されている。さらに、ノードSA22と書き込み時のビット線電圧VB3の供給ラインとの間にNMOSトランジスタNT33、NT34、NT35が直列に接続されている。

【0038】そして、NMOSトランジスタNT26のゲート電極に信号PGMが供給され、NMOSトランジスタNT27、NT32のゲート電極がラッチ回路Q22の第2の記憶ノードN22bに接続され、NMOSトランジスタNT28、NT30のゲート電極がラッチ回路Q23の第2の記憶ノードN23bに接続され、NMOSトランジスタNT29、NT34のゲート電極がラッチ回路Q22の第1の記憶ノードN22aに接続され、NMOSトランジスタNT31、NT33のゲート電極がラッチ回路Q23の第1の記憶ノードN23aに接続され、NMOSトランジスタNT35のゲート電極がラッチ回路Q21の第2の記憶ノードN21bに接続されている。

【0039】また、ラッチ回路Q23の第1の記憶ノードN23aと接地ラインとの間にNMOSトランジスタNT36が接続され、ラッチ回路Q22の第1の記憶ノードN22aと接地ラインとの間にNMOSトランジスタNT37が接続され、ラッチ回路Q21の第1の記憶

ノードN21aと接地ラインとの間にNMOSトランジスタNT38が接続されている。そして、NMOSトランジスタNT36, NT37, NT38のゲート電極がリセット信号RSTの供給ラインに接続されている。

【0040】ラッチ回路Q23の第2の記憶ノードN23bにNMOSトランジスタNT39のドレインが接続され、ラッチ回路Q22の第2の記憶ノードN22bにNMOSトランジスタNT40のドレインが接続され、ラッチ回路Q21の第2の記憶ノードN21bにNMOSトランジスタNT41のドレインが接続されている。NMOSトランジスタNT39のソースと接地ラインとの間にNMOSトランジスタNT42が接続されるとともに、これと並列的にNMOSトランジスタNT43, NT44, NT45が直列に接続されている。NMOSトランジスタNT40のソースにNMOSトランジスタNT46およびNT51が並列に接続されている。NMOSトランジスタNT46のソースと接地ラインとの間にNMOSトランジスタNT47, NT48が直列に接続されるとともに、これと並列的にNMOSトランジスタNT49, NT50が直列に接続されている。NMOSトランジスタNT51のソースと接地ラインとの間にNMOSトランジスタNT52, NT53が直列に接続されるとともに、これと並列的にNMOSトランジスタNT54, NT55が直列に接続されている。NMOSトランジスタNT41のソースにNMOSトランジスタNT56およびNT61が並列に接続されている。NMOSトランジスタNT56のソースと接地ラインとの間にNMOSトランジスタNT57, NT58が直列に接続されるとともに、これと並列的にNMOSトランジスタNT59, NT60が直列に接続されている。NMOSトランジスタNT61のソースと接地ラインとの間にNMOSトランジスタNT62, NT63が直列に接続されるとともに、これと並列的にNMOSトランジスタNT64, NT65が直列に接続されている。

【0041】NMOSトランジスタNT39, NT40, NT41のゲート電極がノードSA21に接続されている。NMOSトランジスタNT43のゲート電極がラッチ回路Q22の第1の記憶ノードN22aに接続され、NMOSトランジスタNT44, NT49, NT54のゲート電極がラッチ回路Q21の第1の記憶ノードN21aに接続されている。NMOSトランジスタNT46, NT56のゲート電極がラッチ回路Q23の第1の記憶ノードN23aに接続され、NMOSトランジスタNT51, NT61のゲート電極がラッチ回路Q23の第2の記憶ノードN23bに接続されている。NMOSトランジスタNT47, NT52のゲート電極がラッチ回路Q21の第2の記憶ノードN21bに接続され、NMOSトランジスタNT57, NT62のゲート電極がラッチ回路Q22の第1の記憶ノードN22aに接続

され、NMOSトランジスタNT59, NT64のゲート電極がラッチ回路Q22の第2の記憶ノードN22bに接続されている。

【0042】そして、NMOSトランジスタNT42のゲート電極が信号φLAT0の供給ラインに接続され、NMOSトランジスタNT45のゲート電極が信号φLAT1の供給ラインに接続され、NMOSトランジスタNT48のゲート電極が信号φLAT2の供給ラインに接続され、NMOSトランジスタNT50のゲート電極が信号φLAT3の供給ラインに接続され、NMOSトランジスタNT53のゲート電極が信号φLAT4の供給ラインに接続され、NMOSトランジスタNT55のゲート電極が信号φLAT5の供給ラインに接続され、NMOSトランジスタNT58のゲート電極が信号φLAT6の供給ラインに接続され、NMOSトランジスタNT60のゲート電極が信号φLAT7の供給ラインに接続され、NMOSトランジスタNT63のゲート電極が信号φLAT8の供給ラインに接続され、NMOSトランジスタNT65のゲート電極が信号φLAT9の供給ラインに接続されている。

【0043】ラッチ回路Q23の第1の記憶ノードN23aとバスラインI00との間にNMOSトランジスタNT66が接続され、ラッチ回路Q22の第1の記憶ノードN22aとバスラインI01との間にNMOSトランジスタNT67が接続され、ラッチ回路Q21の第1の記憶ノードN21aとバスラインI02との間にNMOSトランジスタNT68が接続されている。また、カラムゲートとしてのNMOSトランジスタNT66, NT67, NT68のゲート電極が信号Y0-0の供給ラインに接続されている。

【0044】次に、上記構成による、書き込み、ベリファイ読み出し、および読み出し動作について図面に関連付けて順を追って説明する。

【0045】書き込み動作について、図2および図3のタイミングチャートに関連付けて説明する。

【0046】まず、書き込み時に設定すべきピット線電圧について、図2に関連付けて説明する。8値の書き込みを高速に行うには、全てのデータを同時に書き込むことが有効である。その際、ピット線電圧を書き込みデータに応じて、たとえば図2(a)に示すように、分布0～分布7のそれぞれ対応して「分布0:8.0V」、「分布1:3.6V」、「分布2:3.0V」、「分布3:2.4V」、「分布4:1.8V」、「分布5:1.2V」、「分布6:0.6V」、「分布7:0.0V」に設定すれば、しきい値電圧Vthのシフト量の大きいセルほど高い電界がかかり、結果的に全てのレベルで略同時に書き込みが終了する。しかし、実際には、いわゆるセルフブーストまたはローカルセルフブーストとの兼ね合いにより、ピット線BL0, BL1を介してチャネルに印加できる電圧は、メモリストリングA

0, A 1 のビット線 BL 0, BL 1 側の選択ゲート SG 1 A, SG 1 B のしきい値電圧 V_{thDSG} に依存し、書き込み時の選択ゲート SG 1 A, SG 1 B のゲート電極に印加する電圧を電源電圧 V_{cc} とするとビット線に印加できる電圧の上限は $(V_{cc} - V_{thDSG})$ からマージンを見た電圧、たとえば 1, 5 V となる。また、8 値のラッチはビット線数本分のピッチに収める必要があり、回路規模およびレイアウト面積削減の観点から、図 2 (b) に示すように、「分布 0: V_{cc} 」、「分布 1: V_{B3} 」、「分布 2, 3: V_{B2} 」、「分布 4, 5: V_{B1} 」、「分布 6, 7: GND」と複数のデータで一つのビット線電圧を設定することが望ましい。したがって、実際の書き込み時には、書き込みデータに応じて、たとえば図 2 (c) に示すように、「分布 0: V_{cc} 」、「分布 1: 1. 5 V」、「分布 2, 3: 1. 5 V」、「分布 4, 5: 1. 2 V」、「分布 6, 7: 0. 0 V」のような電圧を印加する。

【0047】次に、具体的な書き込み動作を説明する。スタンバイ時には、信号 PGM がローレベル（接地レベル）に設定されて NMOS トランジスタ NT 26 が非導通状態に保持され、ビット線 BL 0, BL 1 がラッチ回路 Q21～Q23 から切り離されている。そして、信号 DIS がハイレベル (V_{cc} レベル) に設定され、信号 TRN, Ai, /Ai が $(V_{cc} - V_{th})$ に設定される。これにより、NMOS トランジスタ NT 25, NMOS トランジスタ NT 21～NT 24 が導通状態に保持され、ビット線 BL 0, BL 1 が接地レベルに設定されている。

【0048】この状態で書き込みが起動された場合、信号 Y0-0 がハイレベルに設定されて NMOS トランジスタ NT 66～NT 68 が導通状態に保持され、書き込みデータがラッチ回路 Q21～Q23 に取り込まれ保持される。その後、信号 DIS がローレベルに切り換えられ、ビット線 BL 0, BL 1 が接地ラインから切り離される。そして、信号 Vref がローレベル、信号 TRN, Ai, /Ai が 5 V 程度に設定されて、PMOS トランジスタ PT 21 が導通状態に保持される。これにより、全ビット線が電源電圧 V_{cc} に充電される。このとき、ラッチデータに影響がないように、信号 PGM、読み出し/ペリファイを制御するための信号 $\phi LAT 0$ ～ $\phi LAT 9$ が接地レベル（ローレベル）に設定され、NMOS トランジスタ NT 42, NT 45, NT 48, NT 50, NT 53, NT 55, NT 58, NT 60, NT 63, NT 65, が非導通状態に保持される。また、メモリセルのドレイン側の選択ゲート SG 1 A, SG 1 B のゲート電極に接続された選択信号供給線 SSL が電源電圧 V_{cc} レベルに設定される。

【0049】その後、アドレスデコード信号 Ai で選択されない側の接続用 NMOS トランジスタ、たとえば NT 24 のゲート電極に供給される信号 /Ai がローレベルに設定される。

ルに設定され、NMOS トランジスタ NT 24 が非導通状態に切り換えられて非選択のビット線 BL 1 が V_{cc} に充電された状態でフローティング状態に保持される。その後、信号 Vref が電源電圧 V_{cc} レベルに切り換えられ、いわゆるブリチャージ用 PMOS トランジスタ PT 21 が非導通状態に保持され、信号 PGM がハイレベルに設定されて、NMOS トランジスタ NT 26 が導通状態に切り換えられて、選択ビット BL 0 がラッチ回路 Q21～Q23 に接続されて、選択ビット線 BL 0 が書き込みデータに応じた電圧に設定される。

【0050】たとえば、書き込みデータが “00x (x: 0 または 1)” の場合には、ラッチ回路 Q23, Q22 の第 2 の記憶ノード N23b, N22b とともにハイレベルになっている。したがって、NMOS トランジスタ NT 27 および NT 28 が導通状態に保持されている。このため、ビット線 BL 0 は接地レベルに放電される。

【0051】書き込みデータが “01x” の場合には、ラッチ回路 Q23 の第 2 の記憶ノード N23b およびラッチ回路 Q22 の第 1 の記憶ノード N22a とともにハイレベルになっている。したがって、NMOS トランジスタ NT 29 および NT 30 が導通状態に保持されている。その結果、ノード SA21 がビット線電圧 V_{B1} の供給ラインに接続される。このため、ビット線 BL 0 は V_{B1} (たとえば 1. 2 V) に設定される。

【0052】書き込みデータが “10x” の場合には、ラッチ回路 Q23 の第 1 の記憶ノード N23a およびラッチ回路 Q22 の第 2 の記憶ノード N22b とともにハイレベルになっている。したがって、NMOS トランジスタ NT 31 および NT 32 が導通状態に保持されている。その結果、ノード SA21 がビット線電圧 V_{B2} の供給ラインに接続される。このため、ビット線 BL 0 は V_{B2} (たとえば 1. 5 V) に設定される。

【0053】書き込みデータが “110” の場合には、ラッチ回路 Q23, Q22 の第 1 の記憶ノード N23a, N22a とともにハイレベルになっているとともに、ラッチ回路 Q21 の第 2 の記憶ノード N21b がハイレベルになっている。したがって、NMOS トランジスタ NT 33～NT 35 が導通状態に保持されている。その結果、ノード SA21 がビット線電圧 V_{B3} の供給ラインに接続される。このため、ビット線 BL 0 は V_{B3} (たとえば 1. 5 V) に設定される。

【0054】書き込みデータが “111” の場合には、ラッチ回路 Q23, Q22, Q21 の第 2 の記憶ノード N23b, N22b, N21b がローレベルになっている。したがって、NMOS トランジスタ NT 28, NT 30, NT 32, NT 35 が非導通状態に保持されている。その結果、ノード SA21 がいずれのビット線電圧供給ラインにも接続されない。このため、ビット線 BL 0 はブリチャージ電圧である電源電圧 V_{cc} レベルに保持

される。

【0055】以上のプロセスにより選択ビット線BL0が書き込みデータに応じた電圧に設定された後、選択ワード線WLが書き込み電圧V_{PGM}に設定され、非選択のワード線が書き込みバス電圧V_{pass}(<V_{PGM})に設定されて、書き込みが行われる。このとき、非選択のビット線BL1に接続されているメモリストリングA1のメモリセルのチャネルおよび書き込みデータが“111”的メモリセルのチャネルは、ドレイン側の選択ゲートSG1B及びSG1Aによってビット線BL1及びBL0から切り離され、ワード線との容量結合により非書き込み電位にブーストされて書き込みされない。

【0056】これにより、従来のように各データをstep毎に書くのではなくすべてのデータを同時に書くため、すべてのデータが書き込み十分と判定されるまでのISPパルス数が削減され、結果的に書き込み時間の短縮が実現される。

【0057】次に、ペリファイ読み出し動作について、図4のタイミングチャートに関連付けて説明する。ペリファイ動作では、1回の書き込みが終了する毎に“000”、“001”、“010”、“011”、“100”、“101”、“110”的書き込みチェックが行われる。本実施形態では、高いレベルからペリファイを行う。すなわち、ワード線電圧をVVF7→VVF6→VVF5→VVF4→VVF3→VVF2→VVF1へ順次下げて行う。以下にペリファイ動作を具体的に説明する。

【0058】まず、信号V_{ref}がローレベル(接地レベル)に設定されて、PMOSトランジスタPT21が導通状態に保持される。また、信号TRNが2V程度に設定される。これにより、ノードSA21が電源電圧V_{cc}に充電され、ビット線の電位が信号TRNのレベル(2V程度)からしきい値電圧V_{th}分だけ降下した電圧(たとえば1V程度:充電後、NMOSトランジスタNT21はカットオフする)に充電される。これと同時にドレイン側の選択ゲートSG1A、SG1Bのゲート電極が接続された選択信号供給線SSLに選択ストリングの非選択ワード線電圧と同じ電圧(P5V:5.0~6.0Vのある電圧)に設定される。充電が完了した段階で、メモリセルの書き込み状況がビット線BL0およびノードSA21に反映される。このとき、ビット線は1V、ノードSA21は電源電圧V_{cc}に充電されていてNMOSトランジスタNT21は自動的に非導通状態となる。

【0059】ここで、信号V_{ref}は、ビット線のリーク電流を補償するだけの電流をPMOSトランジスタPT21が流すことが可能な電圧、たとえば2V程度に設定され、非選択メモリセルのワード線にP5V、選択セルが接続されたワード線にまずVVF7が印加される。

【0060】ワード線電圧がVVF7でのペリファイ読み出し、すなわち書き込みデータ“000”的書き込み判

定の結果、メモリセルのしきい値電圧V_{th}がワード線電圧VVF7より大きい(V_{th}>VVF7)場合、セル電流が流れることにより、ノードSA21は電源電圧V_{cc}に保持される。このとき、NMOSトランジスタNT39~NT41は導通状態に保持される。そして、一定時間経過後、パルス状の信号である信号φLAT0、φLAT2、φLAT6が順次にハイレベルに設定される。

【0061】信号φLAT0がハイレベルの期間では、NMOSトランジスタNT42が導通状態に切り替わり、このときNMOSトランジスタNT39が導通状態にあることから、ラッチ回路Q23の第2の記憶ノードN23bがローレベル、第1の記憶ノードN23aがハイレベルにそれぞれ反転する。

【0062】信号φLAT2がハイレベルの期間では、NMOSトランジスタNT48が導通状態に切り替わり、このときNMOSトランジスタNT40が導通状態にあり、ラッチ回路Q23の第1の記憶ノードN23aがハイレベルに反転したことから、NMOSトランジスタNT46が導通状態に保持され、また、ラッチ回路Q21の第2の記憶ノードN21bがハイレベルにあることからNMOSトランジスタNT47が導通状態に保持される。その結果、ラッチ回路Q22の第2の記憶ノードN22bがローレベル、第1の記憶ノードN22aがハイレベルにそれぞれ反転する。

【0063】信号φLAT6がハイレベルの期間では、NMOSトランジスタNT58が導通状態に切り替わり、このときNMOSトランジスタNT41が導通状態にあり、ラッチ回路Q23の第1の記憶ノードN23aがハイレベルに反転したことから、NMOSトランジスタNT56が導通状態に保持され、また、ラッチ回路Q22の第1の記憶ノードN22aがハイレベルに反転したことから、NMOSトランジスタNT57が導通状態に保持される。その結果、ラッチ回路Q21の第2の記憶ノードN21bがローレベル、第1の記憶ノードN21aがハイレベルのそれぞれ反転する。

【0064】以上により、書き込みデータが“000”的メモリセルで、そのしきい値電圧V_{th}がワード線電圧VVF7より大きい(V_{th}>VVF7)場合、ラッチ回路Q23、Q22、Q21のラッチデータ(第1の記憶ノードのレベル)が“111”に反転し、以後の再書き込みではビット線BL0は電源電圧V_{cc}、チャネルは非書き込み電位にブーストされて書き込みされない。

【0065】一方、メモリセルのしきい値電圧V_{th}がワード線電圧VVF7以下(V_{th}<VVF7)であれば、リーク補償電流より大きいセル電流が流れビット線電圧は降下し、NMOSトランジスタNT21、NT22は導通状態となって、ビット線(1V程度)の容量C_{BL}とノードSA21(電源電圧V_{cc})の容量C_{SA}(<<C_{BL})との間の電荷の再配分が起こり、ノードSA21の

電圧はビット線電圧とほぼ同電位1Vとなる。そして、一定時間経過後、パルス状の信号である信号 ϕLAT_0 、 ϕLAT_2 、 ϕLAT_6 が順次にハイレベルに設定される。

【0066】信号 ϕLAT_0 がハイレベルの期間では、安定しているラッチ回路の反転にはある程度の電流が必要である。この間、NMOSトランジスタNT42は完全に導通状態に保持されるが、NMOSトランジスタNT39のゲート電圧は1V程度であり、オンしているが電流値は小さく、なおかつ電流が流れるとNMOSトランジスタNT39のドレイン・ソース間電圧VDSが大きくなり、結局、ラッチ回路Q23は反転できず、第2の記憶ノードN23bがハイレベル、第1の記憶ノードN23aがローレベルのままに保持される。

【0067】信号 ϕLAT_2 がハイレベルの期間では、ラッチ回路Q23の第1の記憶ノードN23aがローレベルのままに保持されているから、NMOSトランジスタNT46が非導通状態に保持される。その結果、ラッチ回路Q22は反転できず、第2の記憶ノードN22bがハイレベル、第1の記憶ノードN22aがローレベルのままに保持される。

【0068】信号 ϕLAT_6 がハイレベルの期間では、ラッチ回路Q23、Q22の第1の記憶ノードN23a、N22aがローレベルのままに保持されていることから、NMOSトランジスタNT56、NT57が非導通状態に保持される。その結果、ラッチ回路Q21は反転できず、第2の記憶ノードN21bがハイレベル、第1の記憶ノードN21aがローレベルのままに保持される。

【0069】以上により、書き込みデータが“000”的メモリセルで、そのしきい値電圧Vthがワード線電圧VVF7以下($Vth < VVF7$)場合、ラッチ回路Q23、Q22、Q21のラッチデータ(第1の記憶ノードのレベル)が“000”的まで変化せず、再書き込み時に、ビット線電圧が書き込み電位に設定されて書き込みが行われる。

【0070】次に、選択セルが接続されたワード線に電圧VVF6が印加される。

【0071】ワード線電圧がVVF6でのペリファイ読み出し、すなわち書き込みデータ“001”的書き込み判定の結果、メモリセルのしきい値電圧Vthがワード線電圧VVF6より大きい($Vth > VVF6$)場合、セル電流が流れないことにより、ノードSA21は電源電圧Vccに保持される。このとき、NMOSトランジスタNT39～NT41は導通状態に保持される。そして、一定時間経過後、パルス状の信号である信号 ϕLAT_5 、 ϕLAT_1 、 ϕLAT_6 が順次にハイレベルに設定される。ただし、この場合には、書き込みデータが“000”的セル($VVF7 > Vth > VVF6$)も含まれていて、このメモリセルに関しては、ラッチ回路Q23、Q22、Q21のラ

ッチデータは反転をしてはならない。

【0072】ラッチデータが“001”的メモリセルのしきい値電圧Vthがワード線電圧VVF6より大きい($Vth > VVF6$)場合は、ラッチ回路Q23、Q22の第2の記憶ノードN23b、N22bがハイレベル、第1の記憶ノードN23a、N22aがローレベルに保持され、ラッチ回路Q21の第2の記憶ノードN21bがローレベル、第1の記憶ノードN21aがハイレベルに保持されている。

10 【0073】この状態で、信号 ϕLAT_5 がハイレベルの期間では、NMOSトランジスタNT55が導通状態に切り換わり、このときNMOSトランジスタNT40が導通状態にあり、ラッチ回路Q23の第2の記憶ノードN23bがハイレベルであることからNMOSトランジスタNT51が導通状態に保持され、ラッチ回路Q21の第1の記憶ノードN21aがハイレベルであることから、NMOSトランジスタNT54が導通状態に保持されている。その結果、ラッチ回路Q22の第2の記憶ノードN22bがローレベル、第1の記憶ノードN22aがハイレベルにそれぞれ反転する。

【0074】信号 ϕLAT_1 がハイレベルの期間では、NMOSトランジスタNT45が導通状態に切り換わり、このときNMOSトランジスタNT39が導通状態にあり、ラッチ回路Q22の第1の記憶ノードN22aがハイレベルに反転したことから、NMOSトランジスタNT43が導通状態に保持され、また、ラッチ回路Q21の第1の記憶ノードN21aがハイレベルにあることからNMOSトランジスタNT44が導通状態に保持される。その結果、ラッチ回路Q23の第2の記憶ノードN23bがローレベル、第1の記憶ノードN23aがハイレベルにそれぞれ反転する。

【0075】以上により、書き込みデータが“001”的メモリセルで、そのしきい値電圧Vthがワード線電圧VVF6より大きい($Vth > VVF6$)場合、ラッチ回路Q23、Q22、Q21のラッチデータ(第1の記憶ノードのレベル)が“111”的反転し、以後の再書き込みではビット線BL0は電源電圧Vcc、チャネルは非書き込み電位にブーストされて書き込みされない。

【0076】また、書き込みデータが“000”的メモリセルで、そのしきい値電圧Vthがワード線電圧VVF6より大きい($Vth > VVF6$)場合、ラッチ回路Q23、Q22、Q21の第2の記憶ノードN23b、N22b、N21bがハイレベル、第1の記憶ノードN23a、N22a、N21aがローレベルに保持されている。

【0077】したがって、信号 ϕLAT_5 がハイレベルの期間では、ラッチ回路Q21の大1の記憶ノードN21aがローレベルにあることから、NMOSトランジスタNT54が非導通状態に保持され、ラッチ回路Q22の第2の記憶ノードN22bがハイレベル、第1の記憶

ノードN22aがローレベルのままに保持される。
【0078】信号 ϕ LAT1がハイレベルの期間では、ラッチ回路Q22, Q21の第1の記憶ノードN22a, N21aがローレベルのままに保持されていることから、NMOSトランジスタNT43, NT44が非導通状態に保持され、ラッチ回路Q23の第2の記憶ノードN23bがハイレベル、第1の記憶ノードN23aがローレベルのままに保持される。

【0079】以上により、書き込みデータが“000”的メモリセルで、そのしきい値電圧Vthがワード線電圧VVF6より大きい(Vth>VVF6)場合、ラッチ回路Q23, Q22, Q21のラッチデータ(第1の記憶ノードのレベル)が“000”的まで変化せず、再書き込み時に、ピット線電圧が書き込み電位に設定されて書き込みが行われる。

【0080】書き込みデータが“001”的メモリセルで、メモリセルのしきい値電圧Vthがワード線電圧VVF6以下(Vth<VVF6)の場合には、リーコンバータ電流より大きいセル電流が流れピット線電圧は降下し、NMOSトランジスタNT21は導通状態となって、ピット線(1V程度)の容量CBLとノードSA21(電源電圧Vcc)の容量CSA(<<CBL)との間の電荷の再配分が起り、ノードSA21の電圧はピット線電圧とほぼ同電位1Vとなる。そして、一定時間経過後、パルス状の信号である信号 ϕ LAT5、 ϕ LAT1が順次にハイレベルに設定される。

【0081】信号 ϕ LAT5がハイレベルの期間では、安定しているラッチ回路の反転にはある程度の電流が必要である。この間、NMOSトランジスタNT55は完全に導通状態に保持されるが、NMOSトランジスタNT40のゲート電圧は1V程度であり、オンしているが電流値は小さく、なおかつ電流が流れるとNMOSトランジスタNT40のドレイン・ソース間電圧VDSが大きくなり、結局、ラッチ回路Q22は反転できず、第2の記憶ノードN22bがハイレベル、第1の記憶ノードN22aがローレベルのままに保持される。

【0082】信号 ϕ LAT1がハイレベルの期間では、ラッチ回路Q22の第1の記憶ノードN22aがローレベルのままに保持されているから、NMOSトランジスタNT43が非導通状態に保持される。その結果、ラッチ回路Q23は反転できず、第2の記憶ノードN23bがハイレベル、第1の記憶ノードN23aがローレベルのままに保持される。

【0083】結局、書き込みデータが“001”的メモリセルで、そのしきい値電圧Vthがワード線電圧VVF6より大きい(Vth>VVF6)場合のみラッチ回路Q23, Q22, Q21のラッチデータ(第1の記憶ノードのレベル)が“111”に反転し、その他の場合は、ラッチ回路Q23, Q22, Q21のラッチデータ(第1の記憶ノードのレベル)が書き込みデータが“00

1”で書き込み不十分な場合は“001”が保持される。再書き込み時に、ピット線電圧が書き込み電位に設定されて書き込みが行われる。

【0084】以下、同様にして、以下のような制御が行われる。ワード線電圧がVVF5の場合、書き込みデータが“010”的メモリセルで、そのしきい値電圧Vthがワード線電圧VVF5より大きい(Vth>VVF5)場合のみラッチ回路Q23, Q22, Q21のラッチデータ(第1の記憶ノードのレベル)が“111”に反転するように制御される。ワード線電圧がVVF4の場合、書き込みデータが“011”的メモリセルで、そのしきい値電圧Vthがワード線電圧VVF4より大きい(Vth>VVF4)場合のみラッチ回路Q23, Q22, Q21のラッチデータが“111”に反転するように制御される。ワード線電圧がVVF3の場合、書き込みデータが“100”的メモリセルで、そのしきい値電圧Vthがワード線電圧VVF3より大きい(Vth>VVF3)場合のみラッチ回路Q23, Q22, Q21のラッチデータが“111”に反転するように制御される。ワード線電圧がVVF2の場合、書き込みデータが“101”的メモリセルで、そのしきい値電圧Vthがワード線電圧VVF2より大きい(Vth>VVF2)場合のみラッチ回路Q23, Q22, Q21のラッチデータが“111”に反転するように制御される。ワード線電圧がVVF1の場合、書き込みデータが“110”的メモリセルで、そのしきい値電圧Vthがワード線電圧VVF1より大きい(Vth>VVF1)場合のみラッチ回路Q23, Q22, Q21のラッチデータが“111”に反転するように制御される。

【0085】そして、ワード線電圧VVF1でのペリファイが終了した段階で、全ラッチデータの反転信号のワイヤードオアがとられ、1つでも“0”(反転データは“1”)があれば、ワイヤードオアの結果はローレベルとなって、再書き込みプロセスに移行し、全てが“1”(反転データは“0”)となっていれば、書き込みが終了する。以上の書き込みおよびペリファイサイクルを、全てのメモリセルが書き込み十分と判定されるか、設定回数に達するまで繰り返される。

【0086】次に、通常読み出し動作について、図5のタイミングチャートに関連付けて説明する。なお、説明はアドレスコード信号Aiが選択状態の場合について行う。通常読み出し動作が起動されると、リセット信号RSTが一定期間ハイレベルに設定され、ラッチ回路Q23, Q22, Q21のラッチデータがローレベルにリセットされる。読み出し動作は、ワード線電圧をVRD7→VRD6→VRD5→VRD4→VRD3→VRD2→VRD1へ順次下げて行う。

【0087】そして、前述したペリファイ動作と同様に、各ワード線電圧での読み出し前に、信号Vrefがローレベル(接地レベル)に設定されて、PMOSトランジ

ンジスタPT21が導通状態に保持される。また、信号TRNが2V程度に設定される。これにより、ノードSA21が電源電圧V_{cc}に充電され、ビット線の電位が信号TRNのレベル(2V程度)からしきい値電圧V_{th}分だけ降下した電圧(たとえば1V程度:充電後、NMOSトランジスタNT21はカットオフする)に充電される。これと同時にドレイン側の選択ゲートSG1A、SG1Bのゲート電極が接続された選択信号供給線SSLが選択ストリングの非選択ワード線電圧と同じ電圧(P5V:5.0~6.0Vのある電圧)に設定される。充電が完了した段階で、メモリセルの書き込み状況がビット線BL0およびノードSA21に反映される。このとき、ビット線は1V、ノードSA21は電源電圧V_{cc}に充電されていてNMOSトランジスタNT21は自動的に非導通状態となる。

【0088】ここで、信号V_{ref}は、ビット線のリーク電流を補償するだけの電流をPMOSトランジスタPT21が流すことが可能な電圧、たとえば2V程度に設定され、非選択メモリセルのワード線にP5V、選択セルが接続されたワード線にまずVRD7が印加される。

【0089】ワード線電圧がVRD7での読み出しの結果、メモリセルのしきい値電圧V_{th}がワード線電圧VRD7より大きい(V_{th}>VRD7)場合、セル電流が流れることにより、ノードSA21は電源電圧V_{cc}に保持される。このとき、NMOSトランジスタNT39~NT41は導通状態に保持される。そして、一定時間経過後、パルス状の信号である信号φLAT0、φLAT2、φLAT6が順次にハイレベルに設定される。

【0090】信号φLAT0がハイレベルの期間では、NMOSトランジスタNT42が導通状態に切り換わり、このときNMOSトランジスタNT39が導通状態にあることから、ラッチ回路Q23の第2の記憶ノードN23bがローレベル、第1の記憶ノードN23aがハイレベルにそれぞれ反転する。

【0091】信号φLAT2がハイレベルの期間では、NMOSトランジスタNT48が導通状態に切り換わり、このときNMOSトランジスタNT40が導通状態にあり、ラッチ回路Q23の第1の記憶ノードN23aがハイレベルに反転したことから、NMOSトランジスタNT46が導通状態に保持され、また、ラッチ回路Q21の第2の記憶ノードN21bがハイレベルにあることからNMOSトランジスタNT47が導通状態に保持される。その結果、ラッチ回路Q22の第2の記憶ノードN22bがローレベル、第1の記憶ノードN22aがハイレベルのそれぞれ反転する。

【0092】信号φLAT6がハイレベルの期間では、NMOSトランジスタNT58が導通状態に切り換わり、このときNMOSトランジスタNT41が導通状態にあり、ラッチ回路Q23の第1の記憶ノードN23aがハイレベルに反転したことから、NMOSトランジ

タNT56が導通状態に保持され、また、ラッチ回路Q22の第1の記憶ノードN22aがハイレベルに反転したことから、NMOSトランジスタNT57が導通状態に保持される。その結果、ラッチ回路Q21の第2の記憶ノードN21bがローレベル、第1の記憶ノードN21aがハイレベルにそれぞれ反転する。

【0093】以上により、メモリセルのしきい値電圧V_{th}がワード線電圧VRD7より大きい(V_{th}>VRD7)場合、ラッチ回路Q23、Q22、Q21のラッチデータ(第1の記憶ノードのレベル)が“111”に反転する。

【0094】一方、メモリセルのしきい値電圧V_{th}がワード線電圧VRD7以下(V_{th}<VRD7)であれば、リーク補償電流より大きいセル電流が流れビット線電圧は降下し、NMOSトランジスタNT21は導通状態となって、ビット線(1V程度)の容量C_{BL}とノードSA21(電源電圧V_{cc})の容量C_{SA}(<<C_{BL})との間の電荷の再配分が起こり、ノードSA21の電圧はビット線電圧とほぼ同電位1Vとなる。そして、一定時間経過後、パルス状の信号である信号φLAT0、φLAT2、φLAT6が順次にハイレベルに設定される。

【0095】信号φLAT0がハイレベルの期間では、安定しているラッチ回路の反転にはある程度の電流が必要である。この間、NMOSトランジスタNT42は完全に導通状態に保持されるが、NMOSトランジスタNT39のゲート電圧は1V程度であり、オンしているが電流値は小さく、なおかつ電流が流れるとNMOSトランジスタNT39のドレイン・ソース間電圧V_{DS}が大きくなり、結局、ラッチ回路23は反転できず、第2の記憶ノードN23bがハイレベル、第1の記憶ノードN23aがローレベルのままに保持される。

【0096】信号φLAT2がハイレベルの期間では、ラッチ回路Q23の第1の記憶ノードN23aがローレベルのままに保持されているから、NMOSトランジスタNT46が非導通状態に保持される。その結果、ラッチ回路22は反転できず、第2の記憶ノードN22bがハイレベル、第1の記憶ノードN22aがローレベルのままに保持される。

【0097】信号φLAT6がハイレベルの期間では、ラッチ回路Q23、Q22の第1の記憶ノードN23a、N22aがローレベルのままに保持されているから、NMOSトランジスタNT56、NT57が非導通状態に保持される。その結果、ラッチ回路21は反転できず、第2の記憶ノードN21bがハイレベル、第1の記憶ノードN21aがローレベルのままに保持される。

【0098】以上により、メモリセルのしきい値電圧V_{th}がワード線電圧VRD7以下(V_{th}<VRD7)場合、ラッチ回路Q23、Q22、Q21のラッチデータ(第1の記憶ノードのレベル)が“000”的に保持される。

【0099】次に、選択セルが接続されたワード線に電圧VRD6が印加される。

【0100】ワード線電圧がVRD6での読み出しの結果、メモリセルのしきい値電圧Vthがワード線電圧VRD6より大きい(Vth > VRD6)場合、セル電流が流れることにより、ノードSA21は電源電圧Vccに保持される。このとき、NMOSトランジスタNT39～NT41は導通状態に保持される。そして、一定時間経過後、パルス状の信号である信号φLAT0、φLAT2が順次にハイレベルに設定される。

【0101】信号φLAT0がハイレベルの期間では、NMOSトランジスタNT42が導通状態に切り換わり、このときNMOSトランジスタNT39が導通状態にあることから、ラッチ回路Q23の第2の記憶ノードN23bがローレベル、第1の記憶ノードN23aがハイレベルにそれぞれ反転する。

【0102】信号φLAT2がハイレベルの期間では、NMOSトランジスタNT48が導通状態に切り換わり、このときNMOSトランジスタNT40が導通状態にあり、ラッチ回路Q23の第1の記憶ノードN23aがハイレベルに反転したことから、NMOSトランジスタNT46が導通状態に保持され、また、ラッチ回路Q21の第2の記憶ノードN21bがハイレベルにあることからNMOSトランジスタNT47が導通状態に保持される。その結果、ラッチ回路Q22の第2の記憶ノードN22bがローレベル、第1の記憶ノードN22aがハイレベルにそれぞれ反転する。

【0103】以上により、メモリセルのしきい値電圧Vthがワード線電圧VRD6より大きい(Vth > VRD6)場合、ラッチ回路Q23、Q22、Q21のラッチデータ(第1の記憶ノードのレベル)が“110”に反転する。

【0104】しきい値電圧Vthがワード線電圧VRD6以下(Vth < VRD6)の場合には、リーク補償電流より大きいセル電流が流れビット線電圧は低下し、NMOSトランジスタNT21は導通状態となって、ビット線(1V程度)の容量CBLとノードSA21(電源電圧Vcc)の容量CSA(<<CBL)との間の電荷の再配分が起り、ノードSA21の電圧はビット線電圧とほぼ同電位1Vとなる。そして、一定時間経過後、パルス状の信号である信号φLAT0、φLAT2が順次にハイレベルに設定される。

【0105】信号φLAT0がハイレベルの期間では、安定しているラッチ回路の反転にはある程度の電流が必要である。この間、NMOSトランジスタNT42は完全に導通状態に保持されるが、NMOSトランジスタNT39のゲート電圧は1V程度であり、オンしているが電流値は小さく、なおかつ電流が流れるとNMOSトランジスタNT39のドレイン・ソース間電圧VDSが大きくなり、結局、ラッチ回路Q23は反転できず、第2の記

憶ノードN23bがハイレベル、第1の記憶ノードN23aがローレベルのままに保持される。

【0106】信号φLAT2がハイレベルの期間では、ラッチ回路Q23の第1の記憶ノードN23aがローレベルのままに保持されているから、NMOSトランジスタNT46が非導通状態に保持される。その結果、ラッチ回路Q22は反転できず、第2の記憶ノードN22bがハイレベル、第1の記憶ノードN22aがローレベルのままに保持される。

10 【0107】以上により、メモリセルのしきい値電圧Vthがワード線電圧VRD6以下(Vth < VRD6)場合、ラッチ回路Q23、Q22、Q21のラッチデータ(第1の記憶ノードのレベル)が“000”的まに保持される。

【0108】次に、選択セルが接続されたワード線に電圧VRD5が印加される。

【0109】ワード線電圧がVRD5での読み出しの結果、メモリセルのしきい値電圧Vthがワード線電圧VRD5より大きい(Vth > VRD5)場合、セル電流が流れることにより、ノードSA21は電源電圧Vccに保持される。このとき、NMOSトランジスタNT39～NT41は導通状態に保持される。

20 【0110】ここで、ラッチデータに関しては、以下の場合が考えられる。

①Vth > VRD7の場合：ラッチデータは“111”、
②VRD7 > Vth > VRD6の場合：ラッチデータは“110”、
③VRD6 > Vth > VRD5の場合：ラッチデータは“000”。

30 【0111】そして、ここでは、③の場合のみ、ラッチ回路Q23、Q21の第1の記憶ノードN23a、N21aがハイレベルに反転される。このとき、②の場合のラッチ回路Q21の第1の記憶ノードN21aをハイレベルに反転させないように制御する必要がある。そして、一定時間経過後、パルス状の信号である信号φLAT0、φLAT7が順次にハイレベルに設定される。

【0112】信号φLAT0がハイレベルの期間では、NMOSトランジスタNT42が導通状態に切り換わり、このときNMOSトランジスタNT39が導通状態にあることから、③の場合にラッチ回路Q23の第2の記憶ノードN23bがローレベル、第1の記憶ノードN23aがハイレベルのそれぞれ反転する。また、①及び②の場合には、元々ラッチ回路Q23の第2の記憶ノードN23bがローレベル、第1の記憶ノードN23aがハイレベルであることから、影響はない。

40 【0113】信号φLAT7がハイレベルの期間では、NMOSトランジスタNT60が導通状態に切り換わり、このときNMOSトランジスタNT41が導通状態にあり、ラッチ回路Q23の第1の記憶ノードN23aがハイレベルに反転したことから、NMOSトランジ

タNT56が導通状態に保持され、また、上記③の場合にのみラッチ回路Q22の第2の記憶ノードN22bがハイレベルであるから、NMOSトランジスタNT59が導通状態に保持される。その結果、上記③の場合にのみ、ラッチ回路Q21の第2の記憶ノードN21bがローレベル、第1の記憶ノードN22aがハイレベルにそれぞれ反転する。その他の①および②の場合には、ラッチデータに変化はない。

【0114】一方、しきい値電圧Vthがワード線電圧VRD5以下($Vth < VRD5$)の場合には、リーク補償電流より大きいセル電流が流れ、ビット線電圧は降下し、NMOSトランジスタNT21は導通状態となって、ビット線(1V程度)の容量CBLとノードSA21(電源電圧Vcc)の容量CSA($<< CBL$)との間の電荷の再配分が起こり、ノードSA21の電圧はビット線電圧とほぼ同電位1Vとなる。そして、NMOSトランジスタNT39のゲート電圧は1V程度であり、オンしているが電流値は小さく、なおかつ電流が流れるとNMOSトランジスタNT39のドレイン・ソース間電圧VDSが大きくなり、結局、ラッチ回路Q23は反転できず、第2の記憶ノードN23bがハイレベル、第1の記憶ノードN23aがローレベルのままに保持される。すなわち、ラッチデータは“000”的ままである。

【0115】以下、同様にして、以下のような制御が行われる。ワード線電圧がVRD4の場合、 $VRD5 > Vth > VRD4$ の場合のみラッチ回路Q23、Q22、Q21のラッチデータが“100”に反転するように制御される。ワード線電圧がVRD3の場合、 $VRD4 > Vth > VRD3$ の場合のみラッチ回路Q23、Q22、Q21のラッチデータが“011”に反転するように制御される。ワード線電圧がVRD2の場合、 $VRD3 > Vth > VRD2$ の場合のみラッチ回路Q23、Q22、Q21のラッチデータが“010”に反転するように制御される。ワード線電圧がVRD1の場合、 $VRD2 > Vth > VRD1$ の場合のみラッチ回路Q23、Q22、Q21のラッチデータが“001”に反転するように制御される。

【0116】そして、以上の読み出し動作でラッチ回路Q23、Q22、Q21にラッチされたラッチデータが、カラムゲートとしてのNMOSトランジスタNT66～NT68を通して、バスI00、I01、I02に転送されて、読み出し動作が終了する。

【0117】以上説明したように、本実施形態によれば、1個のメモリトランジスタに3ビットからなり8値をとるデータを記録するNAND型フラッシュメモリにおいて、書き込み前に全ビット線を電源電圧Vccレベル

に充電しておき、ビット線をラッチ回路Q23、Q22、Q21の書き込みデータに応じた電圧の供給源に接続させ、かつ並列的に書き込みを行うので、全体の書き込み時間を短縮でき、また、ペリファイ読み出しおよび通常読み出しを高速に行うことができる利点がある。

【0118】

【発明の効果】以上説明したように、本発明の不揮発性半導体記憶装置によれば、多値レベルの高い8値においても、書き込み時間を短縮でき、さらにはペリファイ読み出し、および通常読み出しを高速に行える利点がある。

【図面の簡単な説明】

【図1】本発明に係る不揮発性半導体記憶装置の第1の実施形態を示す回路図である。

【図2】図1の回路の書き込みシーケンスを説明するための図である。

【図3】図1の回路の書き込み動作を説明するためのタイミングチャートである。

【図4】図1の回路のペリファイ読み出し動作を説明するためのタイミングチャートである。

【図5】図1の回路の読み出し動作を説明するためのタイミングチャートである。

【図6】NAND型フラッシュメモリにおいて、1個のメモリトランジスタに2ビットからなり4値をとるデータを記録する場合の、しきい値電圧Vthレベルとデータ内容との関係を示す図である。

【図7】従来の4値のNAND型フラッシュメモリの要部構成を示す回路図である。

【図8】図7の回路の動作を説明するためのタイミングチャートである。

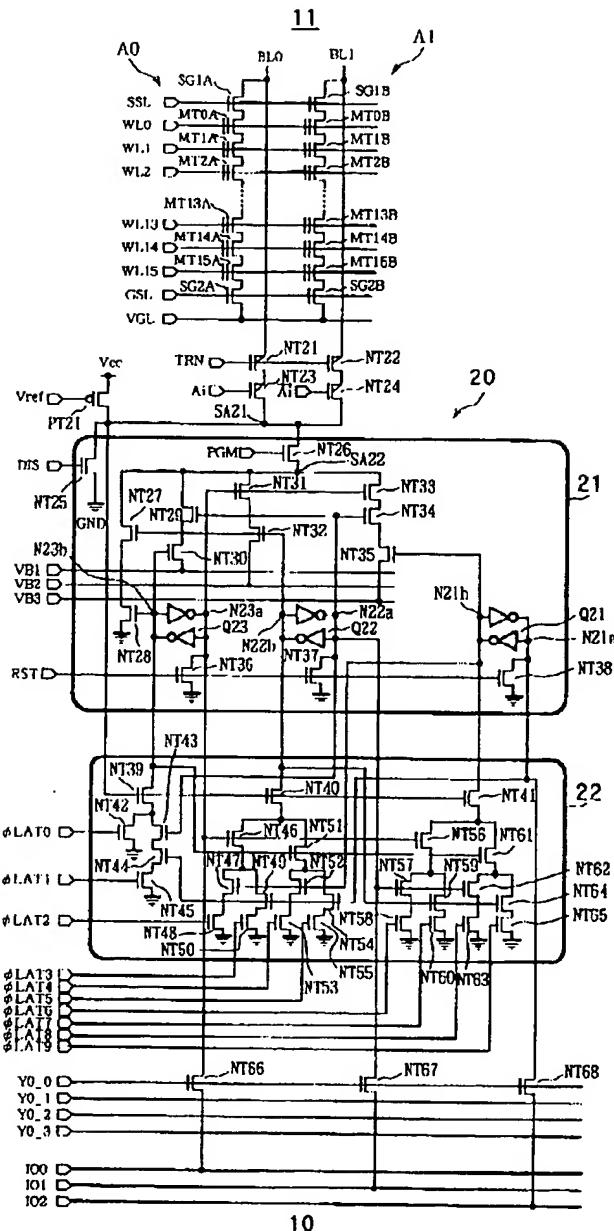
【図9】従来の課題を説明するための図である。

【図10】NAND型フラッシュメモリにおいて、1個のメモリトランジスタに3ビットからなり8値をとるデータを記録する場合の、しきい値電圧Vthレベルとデータ内容との関係を示す図である。

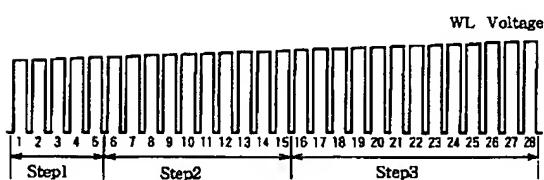
【符号の説明】

10…不揮発性半導体記憶装置、11…メモリアレイ、A0、A1…メモリストリング、WL0～WL15…ワード線、BL0、BL1…ビット線、20…書き込み/ペリファイ/読み出制御回路、21…書き込み時のビット線電圧発生回路、22…読み出し/ペリファイ制御回路、NT21～NT68…NMOSトランジスタ、PT21…PMOSトランジスタ、Q21、Q22、Q23…ラッチ回路。

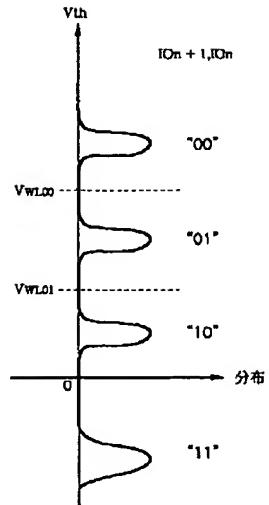
【図1】



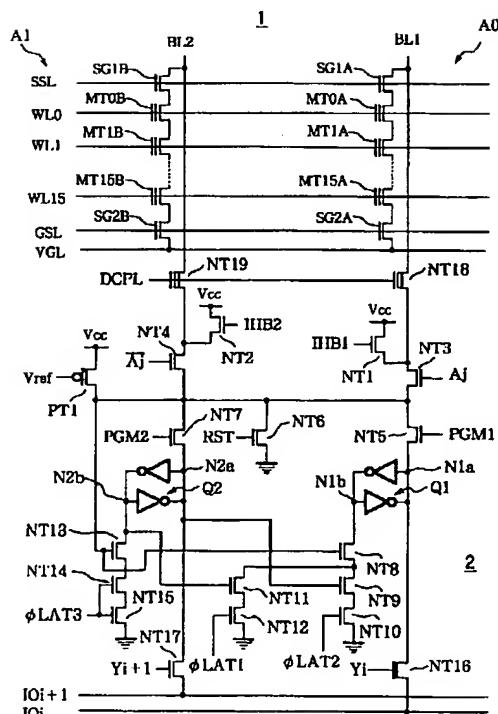
(図9)



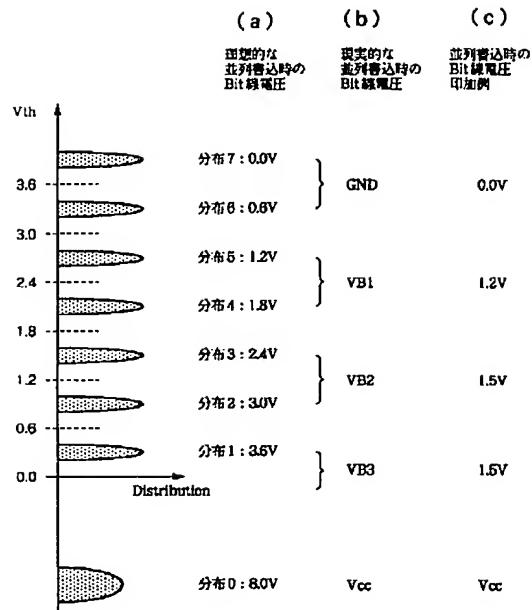
[図6]



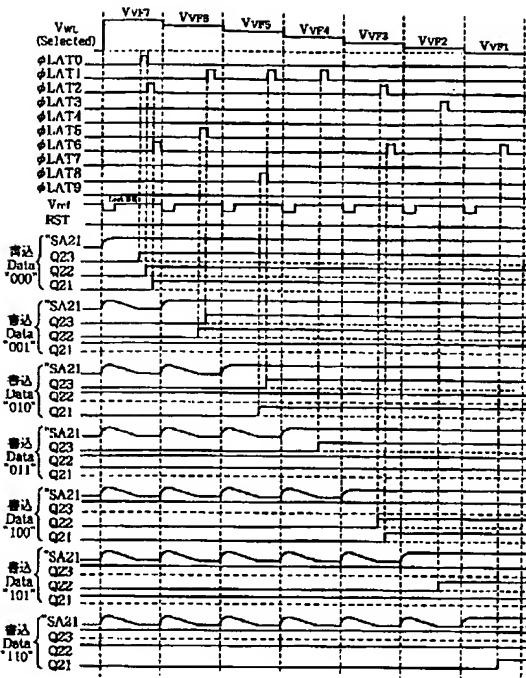
[図7]



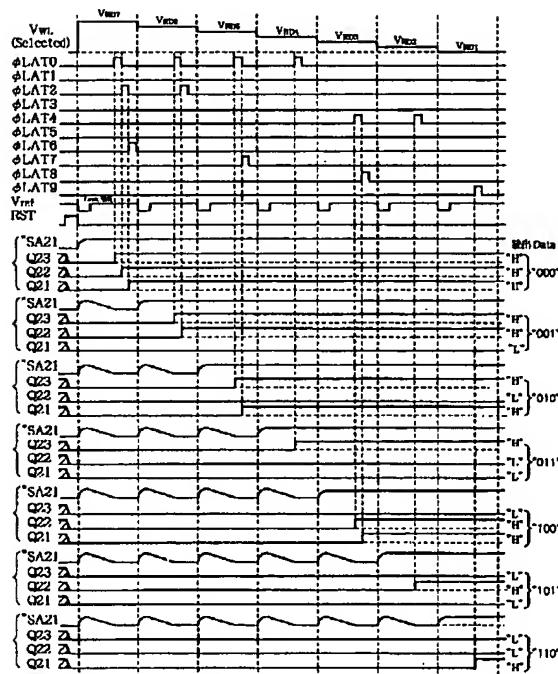
【図2】



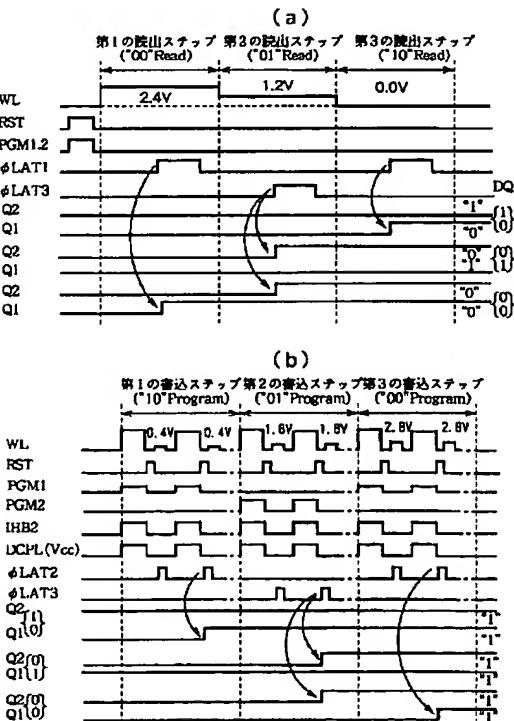
【図4】



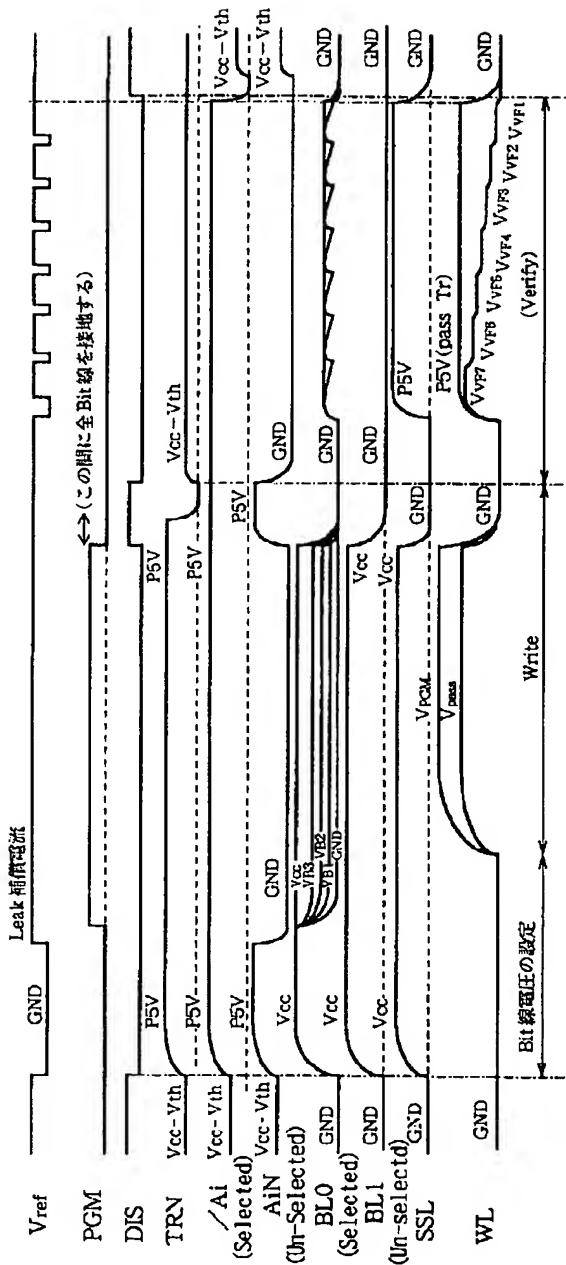
【図5】



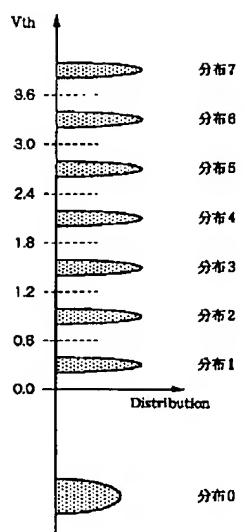
【図8】



〔図3〕



【図10】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.